

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-321550

(43)Date of publication of application : 03.12.1996

(51)Int.Cl. H01L 21/82

(21)Application number : 07-126068

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.05.1995

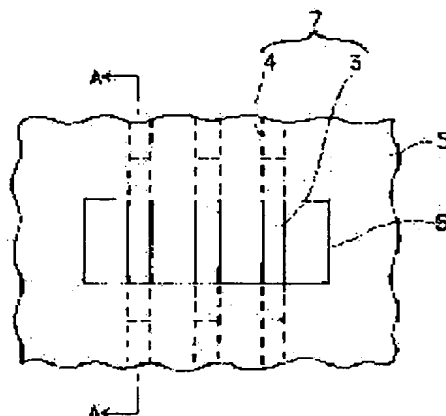
(72)Inventor : NOISSHIKI TAKAYUKI
TANBA NOBUO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a technique capable of facilitating the working of an aperture part for fusing a fuse element.

CONSTITUTION: A laminated wiring 7 is formed as the uppermost layer wiring of a multilayered wiring, together with a high melting point metal layer 3 which is constituted as a fuse element and composed of W, Ti, and a metal layer 4 for wiring which is formed on the metal layer 3 of high melting point and composed of Al or the like. The working of an aperture part for fusing the fuse element is facilitated when the number of wiring layers is increased, by using the high melting point metal layer 3 of the uppermost layer wiring as a fuse element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

 CLAIMS

[Claim(s)]

[Claim 1] It is semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment equipped with the fuse element which transposes the multilayer interconnection and the poor circuit element which two or more circuit elements are accumulated by the semiconductor substrate, and connect between predetermined circuit elements to the circuit element of good, and is characterized by the bird clapper from the refractory-metal layer by which the aforementioned fuse element was formed on the wrap insulation protective coat in the aforementioned semiconductor substrate.

[Claim 2] Semiconductor integrated circuit equipment equipped with the fuse element which transposes the multilayer interconnection and the poor circuit element which two or more circuit elements are accumulated by the semiconductor substrate characterized by providing the following, and connect between predetermined circuit elements to the circuit element of good The refractory-metal layer for fuse elements formed on the wrap insulation protective coat in the aforementioned semiconductor substrate The metal layer for wiring which is formed on this refractory-metal layer and constitutes laminating wiring with a refractory-metal layer It is the wrap last protective coat in the whole surface of the metal layer for the aforementioned wiring, and most refractory-metal layers so that a part of aforementioned refractory-metal layer may be exposed.

[Claim 3] The refractory-metal layer for the aforementioned fuse elements is semiconductor integrated circuit equipment according to claim 1 or 2 characterized by being formed as best layer wiring of a multilayer interconnection.

[Claim 4] Semiconductor integrated circuit equipment according to claim 2 characterized by making the refractory-metal layer for fuse elements melt in the portion to which the aforementioned refractory-metal layer was exposed.

[Claim 5] Semiconductor integrated circuit equipment according to claim 2 characterized by covering the whole surface of the refractory-metal layer of the above 2nd, and most refractory-metal layers by the last protective coat so that the 2nd refractory-metal layer may be further formed on the metal layer for the aforementioned wiring and a part of refractory-metal layer for the aforementioned fuse elements may be exposed.

[Claim 6] The manufacture method of the semiconductor integrated circuit equipment characterized by providing the following The process which forms the metal layer for wiring for the semiconductor substrate on which two or more circuit elements were accumulated one by one on a wrap insulation protective coat the refractory-metal layer for fuse elements, and on this refractory-metal layer The process which removes only the metal layer for wiring partially so that the aforementioned refractory-metal layer may be exposed partially The process which forms the last protective coat so that the metal layer and the exposed refractory-metal layer for the aforementioned wiring may be covered The process which removes the aforementioned last protective coat partially so that a part of aforementioned refractory-metal layer may be exposed

[Claim 7] The manufacture method of the semiconductor integrated circuit equipment characterized by providing the following The process which forms the 2nd refractory-metal layer for the semiconductor substrate on which two or more circuit elements were accumulated one by one on a wrap insulation protective coat at the metal layer [for wiring], and metal layer top for this wiring the refractory-metal layer for fuse elements, and on this refractory-metal layer The process which removes partially only the 2nd refractory-metal layer and the metal layer for wiring so that the refractory-metal layer for the aforementioned fuse elements may be exposed partially The process which forms the last protective coat so that the refractory-metal layer of the above 2nd and the exposed refractory-metal layer for fuse elements may be covered The process which removes the aforementioned last protective coat partially so that a part of refractory-metal layer for the aforementioned fuse elements may be exposed

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention is applied to semiconductor integrated circuit equipment equipped with the fuse element which transposes a poor circuit element to the circuit element of good among two or more circuit elements accumulated by the semiconductor substrate about semiconductor integrated circuit equipment and its manufacture method, and relates to effective technology.

[0002]

[Description of the Prior Art] For example, the latest LSI (semiconductor integrated circuit equipment) represented with the logic LSI which carried Memory LSI and memory is in the inclination for high integration to be attained increasingly as more functions are required. Thus, in LSI by which high integration was attained, improvement in the yield at the time of manufacture becomes very [in cost] important.

[0003] When the circuit element (cell) accumulated on a semiconductor substrate (semiconductor chip) is beforehand formed from such a viewpoint too much than required and a poor circuit element is discovered by inspection after the end of a manufacturing process, the technology which relieved the poor circuit element, and the so-called redundant circuit technology have been developed by transposing this poor circuit element to the circuit element of good.

[0004] In this case, in order to transpose a poor circuit element to the circuit element of good, the fuse element is beforehand included in the semiconductor substrate, and melting this fuse element is performed. It is constituting a fuse element using a suitable conductive layer, forming opening in an insulating protective coat for a part of the conductive layer covered by the insulating protective coat, and exposing a part, and melting the portion of this exposed conductive layer from the outside is performed.

[0005] such redundant circuit technology is indicated by Ohm-Sha Ltd. Issue, "the electronic-intelligence communication handbook 1st separate volume", March 30, Showa 63 issue, P889 or Kindai Kagaku Sha Co., Ltd., "the foundation of an MOS IC", May 30, 1992 issue, and P65, for example irradiating a laser beam and performing it is indicated in fusing of this fuse element as a fuse element by these reference using polycrystal (poly) silicon. In this case, constituting a fuse element using contest polysilicon generally formed by the diffusion layer is performed.

[0006] Moreover, to use the aluminum widely used as a wiring material in LSI as other ideas as a fuse element is also tried.

[0007] Furthermore, constituting a fuse element from a chip used for chip bonding by CCB (Controlled Collapse Bonding) as other ideas using the BLM (Ball Limited Metallization) layer which is formed for this reason is performed.

[0008]

[Problem(s) to be Solved by the Invention] In LSI which constituted the fuse element as mentioned above using contest polysilicon, since the depth from the last protective coat to contest polysilicon will become deep if the number of wiring layers increases, there is a problem that processing of opening for melting a fuse element becomes difficult.

[0009] Moreover, since a wiring layer cannot be arranged in this upper layer when a fuse element is constituted using contest polysilicon formed by the diffusion layer, the problem of receiving restrictions is in a layout.

[0010] Furthermore, with wirebonding (Wire Bonding) products other than a CCB product, since the BLM layer does not exist, in order to constitute a fuse element from a BLM layer, there is a problem that it is necessary to add many processes for newly forming a BLM layer.

[0011] The purpose of this invention is to offer the technology which can make easy processing of opening for melting a fuse element.

[0012] Other purposes of this invention are to offer the technology which cannot give restrictions to a layout.

[0013] The purpose of others of this invention is to offer the technology which can constitute a fuse element only from an addition of a few process.

[0014] The other purposes and the new feature will become clear from description and the accompanying drawing of this specification at the aforementioned row of this invention.

[0015]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0016] (1) The aforementioned fuse element consists of a refractory-metal layer by which the circuit element of plurality [equipment / semiconductor integrated circuit / of this invention / substrate / semiconductor] is semiconductor integrated circuit equipment equipped with the fuse element which transposes the multilayer interconnection and the poor circuit element which are accumulated and connect between predetermined circuit elements to the circuit element of good, and was formed on the wrap insulation protective coat in the aforementioned semiconductor substrate.

[0017] (2) The circuit element of plurality [equipment / semiconductor integrated circuit / of this invention / substrate / semiconductor] is accumulated. It is semiconductor integrated circuit equipment equipped with the fuse element which transposes the multilayer interconnection and the poor circuit element which connect between predetermined circuit elements to the circuit element of good. The refractory-metal layer for fuse elements formed on the wrap insulation protective coat in the aforementioned semiconductor substrate, It has the wrap last protective coat for the whole surface of the metal layer for the aforementioned wiring, and most refractory-metal layers so that a part of metal layer for wiring which is formed on this refractory-metal layer and constitutes laminating wiring with a refractory-metal layer, and aforementioned refractory-metal layer may be exposed.

[0018] (3) The manufacture method of the semiconductor integrated circuit equipment of this invention The process which forms the metal layer for wiring for the semiconductor substrate on which two or more circuit elements were accumulated one by one on a wrap insulation protective coat the refractory-metal layer for fuse elements, and on this refractory-metal layer, The process which removes only the metal layer for wiring partially so that the aforementioned refractory-metal layer may be exposed partially,

The process which forms the last protective coat so that the metal layer and the exposed refractory-metal layer for the aforementioned wiring may be covered, and the process which removes the aforementioned last protective coat partially so that a part of aforementioned refractory-metal layer may be exposed are included.

[0019] (4) The manufacture method of the semiconductor integrated circuit equipment of this invention The process which forms the 2nd refractory-metal layer for the semiconductor substrate on which two or more circuit elements were accumulated one by one on a wrap insulation protective coat at the metal layer [for wiring], and metal layer top for this wiring the refractory-metal layer for fuse elements, and on this refractory-metal layer, The process which removes partially only the 2nd refractory-metal layer and the metal layer for wiring so that the refractory-metal layer for the aforementioned fuse elements may be exposed partially, The process which forms the last protective coat so that the refractory-metal layer of the above 2nd and the exposed refractory-metal layer for fuse elements may be covered, and the process which removes the aforementioned last protective coat partially so that a part of refractory-metal layer for the aforementioned fuse elements may be exposed are included.

[0020]

[Function] According to the means of (1) mentioned above, the semiconductor integrated circuit equipment of this invention It is semiconductor integrated circuit equipment equipped with the fuse element which transposes the multilayer interconnection and the poor circuit element which two or more circuit elements are accumulated by the semiconductor substrate, and connect between predetermined circuit elements to the circuit element of good. Since the aforementioned fuse element consists of a refractory-metal layer formed on the wrap insulation protective coat, the aforementioned semiconductor substrate It becomes possible to become possible to make easy processing of opening for melting a fuse element, and not to give restrictions to a layout, and it becomes possible to constitute a fuse element only from an addition of a still fewer process.

[0021] According to the means of (2) mentioned above, the semiconductor integrated circuit equipment of this invention It is semiconductor integrated circuit equipment equipped with the fuse element which transposes the multilayer interconnection and the poor circuit element which two or more circuit elements are accumulated by the semiconductor substrate, and connect between predetermined circuit elements to the circuit element of good. The refractory-metal layer for fuse elements formed on the wrap insulation protective coat in the aforementioned semiconductor substrate, The metal layer for wiring which is formed on this refractory-metal layer and constitutes laminating wiring with a refractory-metal layer, Since it has the wrap last protective coat, the whole surface of the metal layer for the aforementioned wiring, and most refractory-metal layers, so that a part of aforementioned refractory-metal layer may be exposed It becomes possible to become possible to make easy processing of opening for melting a fuse element, and not to give restrictions to a layout, and it becomes possible to constitute a fuse element only from an addition of a still fewer process.

[0022] According to the means of (3) mentioned above, the manufacture method of the semiconductor integrated circuit equipment of this invention The process which forms the metal layer for wiring for the semiconductor substrate on which two or more circuit elements were accumulated one by one on a wrap insulation protective coat the refractory-metal layer for fuse elements, and on this refractory-metal layer, The process which removes only the metal layer for wiring partially so that the aforementioned refractory-metal layer may be exposed partially, Since the process which forms the last protective coat, and the process which removes the aforementioned last protective coat partially so that a part of aforementioned refractory-metal layer may be exposed are included so that the metal layer and the exposed refractory-metal layer for the aforementioned wiring may be covered It becomes possible to become possible to make easy processing of opening for melting a fuse element, and not to give restrictions to a layout, and it becomes possible to constitute a fuse element only from an addition of a still fewer process.

[0023] According to the means of (4) mentioned above, the manufacture method of the semiconductor integrated circuit equipment of this invention The process which forms the 2nd refractory-metal layer for the semiconductor substrate on which two or more circuit elements were accumulated one by one on a wrap insulation protective coat at the metal layer [for wiring], and metal layer top for this wiring the refractory-metal layer for fuse elements, and on this refractory-metal layer, The process which removes partially only the 2nd refractory-metal layer and the metal layer for wiring so that the refractory-metal layer for the aforementioned fuse elements may be exposed partially, The process which forms the last protective coat so that the refractory-metal layer of the above 2nd and the exposed refractory-metal layer for fuse elements may be covered, Since the process which removes the aforementioned last protective coat partially is included so that a part of refractory-metal layer for the aforementioned fuse elements may be exposed It becomes possible to become possible to make easy processing of opening for melting a fuse element, and not to give restrictions to a layout, and it becomes possible to constitute a fuse element only from an addition of a still fewer process.

[0024] Hereafter, this invention is explained in detail with an example with reference to a drawing.

[0025] In addition, in the complete diagram for explaining an example, what has the same function attaches the same sign, and explanation of the repeat is omitted.

[0026]

[Example]

(Example 1) Drawing 1 is the plan showing the semiconductor integrated circuit equipment (LSI) by the example 1 of this invention, and drawing 2 is the A-A cross section of drawing 1 . Two or more circuit elements are accumulated by the semiconductor substrate 1 which LSI of this example becomes from a silicon single crystal etc., and a multilayer interconnection connects between predetermined circuit elements. The best layer wiring of a multilayer interconnection The refractory-metal layer 3 which consists of W constituted as a fuse element, Ti, etc., The laminating wiring 7 is constituted with the metal layer 4 for wiring which consists of aluminum formed on this refractory-metal layer 3. When the whole surface of the metal layer 4 and most refractory-metal layers 3 are covered by the insulating last protective coat 5 which consists of an oxide film (SiO₂), a night RAIDO film (Si₃N₄), etc., a part of refractory-metal layer 3 is exposed through opening 6. 2 is a wrap insulation protective coat about the semiconductor substrate 1 on which two or more circuit elements were accumulated.

[0027] As an example, the refractory-metal layer 3 for fuse elements is formed in about 150nm in thickness, the metal layer 4 is formed in about 400nm – about 1 micrometer in thickness, and the last protective coat 5 is formed in about 1–2 micrometers in thickness. Each [these] metal layers 3 and 4 and a protective coat 5 can be easily formed with well-known CVD (Chemical Vapor Deposition) technology, PVD (Physical Vapor Deposition) technology, etc.

[0028] The opening 6 which exposes a part of refractory-metal layer 3 is formed in 15–20 micrometers of ****, and each laminating wiring 7 is formed in 1–2 micrometers of ****. These openings 6 and the laminating wiring 7 can be easily formed with well-known photolithography technology. When a poor circuit element is discovered by inspection after the end of a manufacturing process, in order to transpose to the circuit element of good, a laser beam is irradiated through opening 6 and, as for the refractory-metal layer 3 for fuse elements, some exposed surfaces are melted.

[0029] Next, with reference to drawing 3 or drawing 8 , the manufacture method of the semiconductor integrated circuit equipment of this example is explained in order of a process.

[0030] First, as shown in drawing 3 , while two or more circuit elements are accumulated and a multilayer interconnection connects

between predetermined circuit elements The refractory-metal layer 3 which consists of W, Ti, etc. with a thickness of about 150nm constituted as a fuse element as best layer wiring of a multilayer interconnection, The semiconductor substrate 1 which consists of a silicon single crystal which the laminating wiring 7 by which patterning was carried out to 1-2 micrometers of **** with the metal layer 4 for wiring which consists of aluminum with a thickness of about 400nm - about 1 micrometer formed on this refractory-metal layer 3 etc. consisted of is prepared.

[0031] Next, as shown in drawing 4, on the metal layer 4, patterning of the photoresist 8 is applied and carried out, an aperture 9 is formed, and the laminating wiring 7 which consists of a refractory-metal layer 3 for fuse elements and a metal layer 4 for wiring is exposed partially. Drawing 9 shows the plan corresponding to drawing 4, and drawing 4 is the A-A cross section of drawing 9.

[0032] Then, as shown in drawing 5, dry etching is performed through an aperture 9 by using a photoresist 8 as a mask, only the metal layer 4 is removed partially, and a part of refractory-metal layer 3 is exposed.

[0033] Next, the last protective coat 5 which consists of an oxide film (SiO₂), a night RAIDO film, etc. with a thickness of about 1-2 micrometers (Si₃N₄) by CVD after removing a photoresist 8, as shown in drawing 6 is formed, and it is a wrap about the metal layer 4 and opening 9.

[0034] Then, as shown in drawing 7, after forming the photoresist 10 which carried out patterning on the last protective coat 5, dry etching is performed through an aperture 11 by using this photoresist 10 as a mask, the last protective coat 5 is removed partially, the opening 6 of 15-20 micrometers of **** is formed, and a part of refractory-metal layer 3 is exposed. At the time of this process, the last protective coat 5 is partially removed so that the side of the metal layer 4 may not be exposed. This is consideration for holding chemically stably the metal layer 4 which consists of aluminum used as wiring, and preventing from corrosion etc. This process can be performed simultaneously with formation of a bonding pad.

[0035] Next, if a photoresist 10 is removed as shown in drawing 8, the semiconductor integrated circuit equipment of the structure shown in drawing 1 and drawing 2 will be obtained.

[0036] Drawing 10 and drawing 11 show the example of use of the semiconductor integrated circuit equipment of this example equipped with the fuse element. As for 13, the CMOS inverter with which an NMOS transistor and 15 consisted of combination of the PMOS transistor 16 and the NMOS transistor 17 for 14, and 19, a reset terminal and 20 are output terminals.

[0037] (1) If the gate width of the NMOS transistor 13 is formed small and the on resistance is beforehand set up highly as shown in drawing 10 when the refractory-metal layer 3 for fuse elements is not melted, the reset signal of H (high-level) is added to the gate of the NMOS transistor 13 from the reset terminal 19, and this transistor 13 turns on. However, since H signal is added to CMOS inverter 15 from a power supply V_{dd} and the NMOS transistor 17 turns on, L (low level) signal outputs from an output terminal 20. Since this L signal is added to the gate, the NMOS transistor 14 is turned off. Then, since a state does not change even if a reset signal changes to L signal, an output signal always serves as as [of L signal]. Namely, a reset signal is only set to H only at once in early stages, and, as for an output, L is maintained all the time.

[0038] (2) When the refractory-metal layer 3 for fuse elements is melted, as shown in drawing 11, the reset signal of H (high-level) is added to the gate of the NMOS transistor 13 from the reset terminal 19, and this transistor 13 turns on. However, since the refractory-metal layer 3 for fuse elements is melting, L signal is added to CMOS inverter 15 and the PNMOS transistor 16 turns on, H signal outputs from an output terminal 20. Since this H signal is added to the gate, the NMOS transistor 14 is turned on. Then, since a state does not change even if a reset signal changes to L signal, an output signal always serves as as [of H signal]. Namely, a reset signal is only set to H only at once in early stages, and, as for an output, H is maintained all the time.

[0039] According to such an example 1, the following effects are acquired.

[0040] (1) The refractory-metal layer 3 which consists of W constituted as a fuse element, Ti, etc. as best layer wiring of a multilayer interconnection, Since the laminating wiring 7 is formed with the metal layer 4 for wiring which consists of aluminum formed on this refractory-metal layer 3 and the refractory-metal layer 3 of the best layer wiring is constituted as a fuse element, even if the number of wiring layers increases, processing of opening for melting a fuse element becomes easy.

[0041] (2) Don't give restrictions to a layout by constituting the refractory-metal layer 3 of the best layer wiring as a fuse element.

[0042] (3) Since ** and others can use well-known technology as the process which performs formation of the refractory-metal layer 3 and patterning of this refractory-metal layer 3 is added, a fuse element can consist of only additions of a few process.

[0043] (4) Since especially a refractory-metal layer 3 like W and TiN is excellent in corrosion resistance as compared with the aluminum widely used as a wiring material and the purpose can be attained only by forming more thinly than it, fusing becomes easy. Moreover, since it is stronger than aluminum also to migration, and open-circuit prevention can be aimed at, reliability can be improved.

[0044] Drawing 12 is the cross section showing the semiconductor integrated circuit equipment by the example 2 of this invention. (Example 2) In the structure of an example 1, the 2nd refractory-metal layer 12 which consists of W, Ti, etc. is formed on the metal layer 4. The refractory-metal layer 3 which consists of W constituted as a fuse element, Ti, etc. as best layer wiring of a multilayer interconnection, The example which constituted the laminating wiring 7 with the metal layer 4 for wiring which consists of aluminum formed on this refractory-metal layer 3, and the 2nd refractory-metal layer 12 which consists of W formed on this metal layer 4, Ti, etc. is shown.

[0045] Such semiconductor integrated circuit equipment of an example 2 can be manufactured according to the manufacture method of an example 1.

[0046] Namely, as shown in drawing 13, while two or more circuit elements are accumulated and a multilayer interconnection connects between predetermined circuit elements The refractory-metal layer 3 which consists of W, Ti, etc. with a thickness of about 150nm constituted as a fuse element as best layer wiring of a multilayer interconnection, With the 2nd refractory-metal layer 3 which consists of W, Ti, etc. with a thickness of about 100nm formed on the metal layer 4 for wiring which consists of aluminum with a thickness of about 400nm - about 1 micrometer formed on this refractory-metal layer 3 etc., and this metal layer 4 The semiconductor substrate 1 which consists of a silicon single crystal which the laminating wiring 7 by which patterning was carried out to 1-2 micrometers of **** consisted of is prepared.

[0047] Next, as shown in drawing 14, dry etching is performed through an aperture 9 by using as a mask the photoresist 8 applied on the metal layer 4, the metal layer 4 and the 2nd refractory-metal layer 12 are removed partially simultaneously, and a part of refractory-metal layer 3 is exposed.

[0048] Then, the last protective coat 5 which consists of an oxide film (SiO₂), a night RAIDO film, etc. with a thickness of about 1-2 micrometers (Si₃N₄) by CVD after removing a photoresist 8, as shown in drawing 15 is formed, and it is a wrap about the metal layer 4 and opening 9.

[0049] Next, as shown in drawing 16, after forming the photoresist 10 which carried out patterning on the last protective coat 5, dry etching is performed through an aperture 11 by using this photoresist 10 as a mask, the last protective coat 5 is removed partially, the opening 6 of 15-20 micrometers of **** is formed, and a part of refractory-metal layer 3 is exposed. At the time of this process, the last protective coat 5 is partially removed so that the side of the metal layer 4 may not be exposed. This is

consideration for holding chemically stably the metal layer 4 which consists of aluminum used as wiring, and preventing from corrosion etc. This process can be performed simultaneously with formation of a bonding pad.

[0050] Then, the semiconductor integrated circuit equipment of the structure shown in drawing 12 is obtained by removing a photoresist 10.

[0051] The refractory-metal layer 3 which consists of W constituted as a fuse element, Ti, etc. as best layer wiring of a multilayer interconnection also according to such an example 2, The metal layer 4 for wiring which consists of aluminum formed on this refractory-metal layer 3, Since the laminating wiring 7 is formed with the 2nd refractory-metal layer 3 which consists of W formed on this metal layer 4, Ti, etc. and the refractory-metal layer 3 of the best layer wiring is constituted as a fuse element Since the points in which the 2nd refractory-metal layer 12 was formed only differ, the same effect as an example 1 can be acquired.

[0052] In addition, in an example 2, since it works so that a scattered reflection may be stopped at the time of exposure in giving a photolithography process after this, since this refractory-metal layer 12 has work of acid resisting by having formed the 2nd refractory-metal layer 12 which consists of W, Ti, etc. as the best layer of the laminating wiring 7, high processing of precision is attained. Such structure especially is applied to the CCB product which forms a BLM layer, and becomes effective.

[0053] As mentioned above, although invention made by this invention person was concretely explained based on the aforementioned example, this invention of the ability to change variously in the range which is not limited to the aforementioned example and does not deviate from the summary is natural.

[0054] For example, although the limited example explained the refractory-metal layer in the aforementioned example, even if it uses other materials, such as Ta, Mo, and Cr, it is possible to acquire the same effect.

[0055] Moreover, in case opening is formed in the last protective coat which has covered the refractory-metal layer for fuse elements and a part of the refractory-metal layer is exposed, even if it changes into the state where it left the last protective coat somewhat to the front face without exposing a refractory-metal layer completely, the almost same effect can be acquired.

[0056] Furthermore, if the metal layer formed on the refractory-metal layer for fuse elements is used for the purpose of wiring, it will not be restricted to a specific electrical conducting material.

[0057] Although the above explanation explained the case where invention mainly made by this invention person was applied to the technology of the semiconductor integrated circuit equipment which is a field of the invention used as the background, it is not limited to it. this invention is applicable if it is electronic parts equipped with the fuse element which transposes a poor circuit element to the circuit element of good among two or more circuit elements prepared in the substrate.

[0058]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated in this application is explained briefly.

[0059] (1) Since the refractory-metal layer formed in the best layer wiring of a multilayer interconnection is constituted as a fuse element, even if the number of wiring layers increases, processing of opening for melting a fuse element becomes easy.

[0060] (2) Don't give restrictions to a layout by constituting the refractory-metal layer of the best layer wiring as a fuse element.

[0061] (3) A fuse element can only consist of adding a few process.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the plan showing the semiconductor integrated circuit equipment by the example 1 of this invention.

[Drawing 2] It is the A-A cross section of drawing 1 .

[Drawing 3] It is the cross section showing one process of the manufacture method of the semiconductor integrated circuit equipment by the example 1 of this invention.

[Drawing 4] It is the cross section showing other processes of the manufacture method of the semiconductor integrated circuit equipment by the example 1 of this invention.

[Drawing 5] It is the cross section showing the process of others of the manufacture method of the semiconductor integrated circuit equipment by the example 1 of this invention.

[Drawing 6] It is the cross section showing the process of others of the manufacture method of the semiconductor integrated circuit equipment by the example 1 of this invention.

[Drawing 7] It is the cross section showing the process of others of the manufacture method of the semiconductor integrated circuit equipment by the example 1 of this invention.

[Drawing 8] It is the cross section showing the process of others of the manufacture method of the semiconductor integrated circuit equipment by the example 1 of this invention.

[Drawing 9] It is a plan corresponding to drawing 4 .

[Drawing 10] It is the circuit diagram showing the example of use of the semiconductor integrated circuit equipment by the example 1 of this invention.

[Drawing 11] It is the circuit diagram showing the example of use of the semiconductor integrated circuit equipment by the example 1 of this invention.

[Drawing 12] It is the cross section showing the semiconductor integrated circuit equipment by the example 2 of this invention.

[Drawing 13] It is the cross section showing one process of the manufacture method of the semiconductor integrated circuit equipment by the example 2 of this invention.

[Drawing 14] It is the cross section showing other processes of the manufacture method of the semiconductor integrated circuit equipment by the example 2 of this invention.

[Drawing 15] It is the cross section showing the process of others of the manufacture method of the semiconductor integrated circuit equipment by the example 2 of this invention.

[Drawing 16] It is the cross section showing the process of others of the manufacture method of the semiconductor integrated circuit equipment by the example 2 of this invention.

[Description of Notations]

1 [-- The metal layer for wiring 5 / -- 6 The last protective coat, 9 / -- Opening, 7 / -- 8 Laminating wiring, 10 / -- 9 A photoresist, 11 / -- The aperture of a photoresist., 12 / -- The 2nd refractory-metal layer., 13, 14, 17 / -- An NMOS transistor, 15 / -- A CMOS inverter, 16 / -- A PMOS transistor, 19 / -- A reset terminal, 20] -- A semiconductor substrate, 3 -- The refractory-metal layer for fuse elements

[Translation done.]

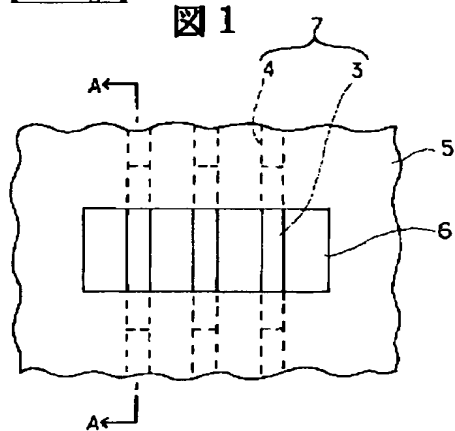
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

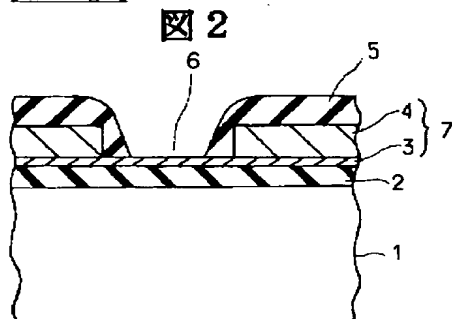
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

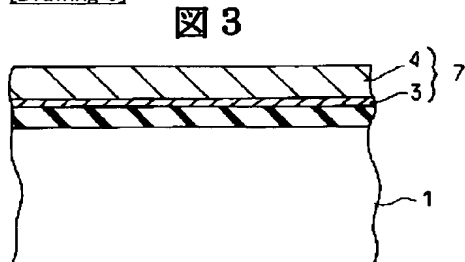
[Drawing 1]



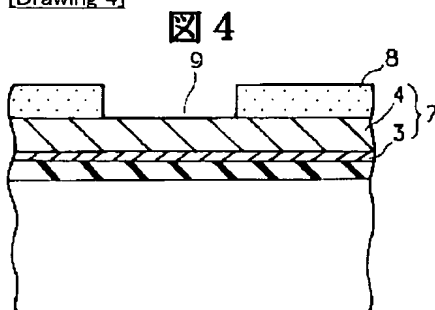
[Drawing 2]



[Drawing 3]

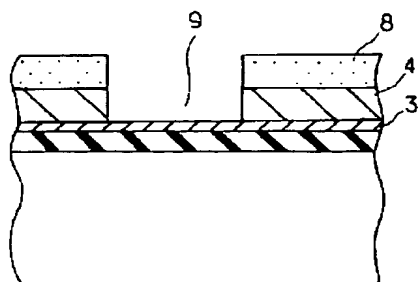


[Drawing 4]



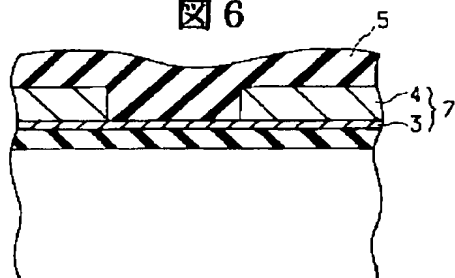
[Drawing 5]

図 5



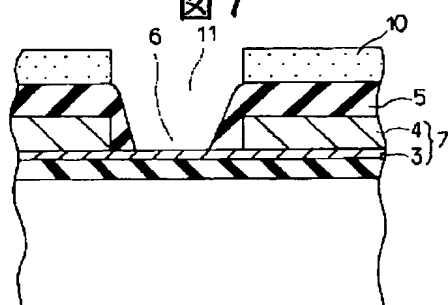
[Drawing 6]

図 6



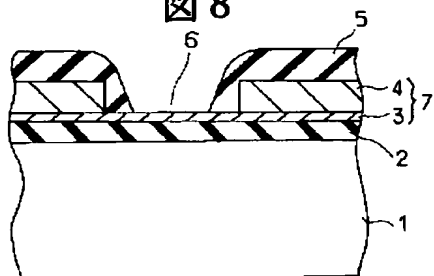
[Drawing 7]

図 7



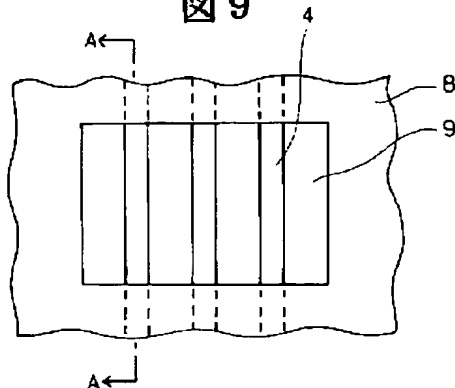
[Drawing 8]

図 8



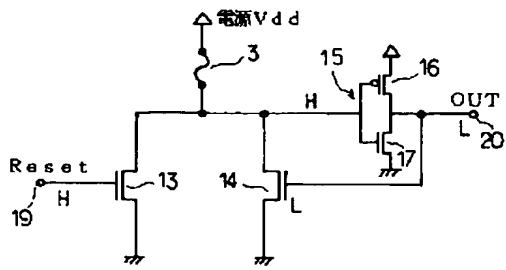
[Drawing 9]

図 9



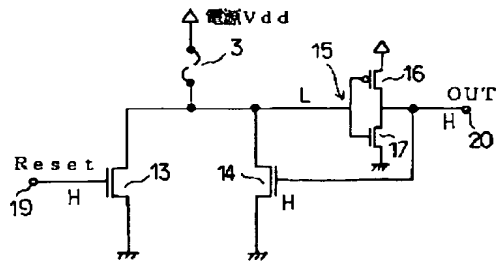
[Drawing 10]

図 10



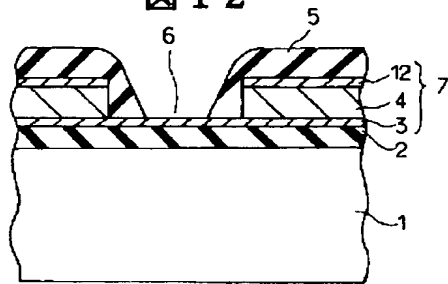
[Drawing 11]

図 11



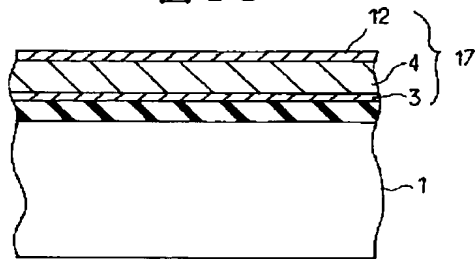
[Drawing 12]

図 12



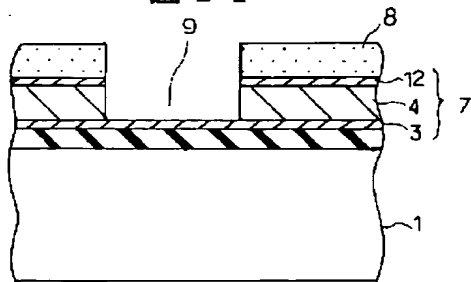
[Drawing 13]

図 13



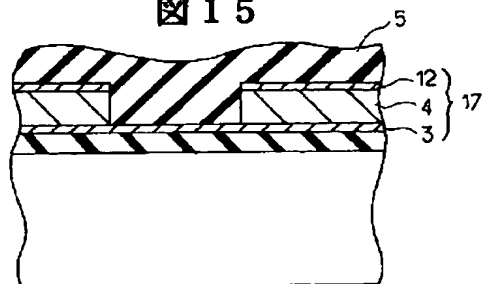
[Drawing 14]

図 14



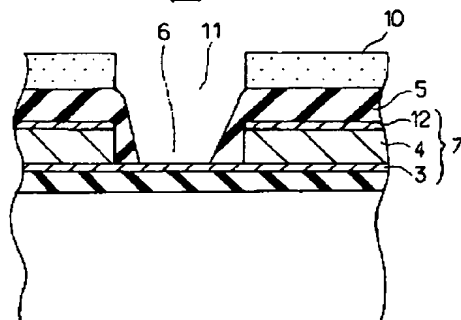
[Drawing 15]

図 15



[Drawing 16]

図 16



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-321550

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl.⁶

H 0 1 L 21/82

識別記号

庁内整理番号

F I

H 0 1 L 21/82

技術表示箇所

R

S

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21)出願番号 特願平7-126068

(22)出願日 平成7年(1995)5月25日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 野一色 孝行

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 丹場 展雄

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

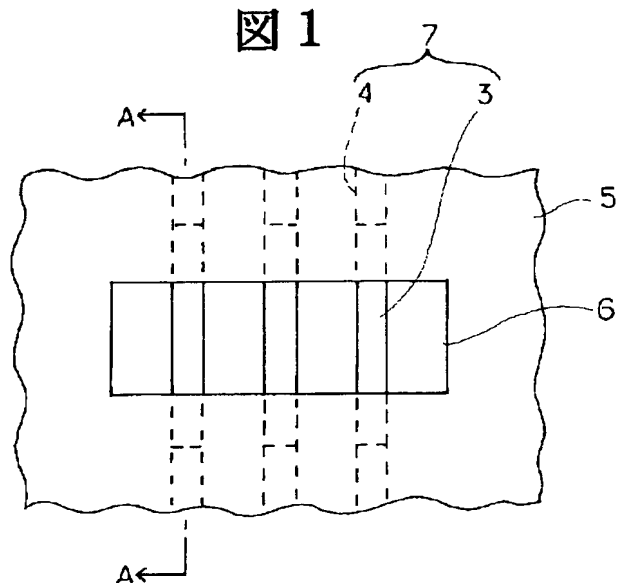
(74)代理人 弁理士 秋田 収喜

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【目的】 ヒューズ素子の溶断を行うための開口部の加工を容易にすることが可能な技術を提供する。

【構成】 多層配線の最上層配線として、ヒューズ素子として構成されるW、Tiなどからなる高融点金属層3と、この高融点金属層3上に形成されたAlなどからなる配線用の金属層4とともに積層配線7を形成する。そして、その最上層配線の高融点金属層3をヒューズ素子として利用することにより、配線層数が増えても、ヒューズ素子の溶断を行うための開口部の加工が容易になる。



1

【特許請求の範囲】

【請求項 1】 半導体基板に複数の回路素子が集積され、所定の回路素子間を接続する多層配線および不良の回路素子を良の回路素子に置き換えるヒューズ素子を備えた半導体集積回路装置であって、前記ヒューズ素子は、前記半導体基板を覆う絶縁保護膜上に形成された高融点金属層からなることを特徴とする半導体集積回路装置。

【請求項 2】 半導体基板に複数の回路素子が集積され、所定の回路素子間を接続する多層配線および不良の回路素子を良の回路素子に置き換えるヒューズ素子を備えた半導体集積回路装置であって、前記半導体基板を覆う絶縁保護膜上に形成されたヒューズ素子用の高融点金属層と、この高融点金属層上に形成されて高融点金属層とともに積層配線を構成する配線用の金属層と、前記高融点金属層の一部を露出するように前記配線用の金属層の全面および高融点金属層の大部分を覆う最終保護膜とを備えたことを特徴とする半導体集積回路装置。

【請求項 3】 前記ヒューズ素子用の高融点金属層は、多層配線の最上層配線として形成されることを特徴とする請求項 1 または 2 に記載の半導体集積回路装置。

【請求項 4】 前記高融点金属層の露出された部分でヒューズ素子用の高融点金属層を溶断させることを特徴とする請求項 2 に記載の半導体集積回路装置。

【請求項 5】 前記配線用の金属層上にさらに第 2 の高融点金属層を形成し、前記ヒューズ素子用の高融点金属層の一部を露出するように前記第 2 の高融点金属層の全面および高融点金属層の大部分を最終保護膜によって覆うことを特徴とする請求項 2 に記載の半導体集積回路装置。

【請求項 6】 複数の回路素子が集積された半導体基板を覆う絶縁保護膜上にヒューズ素子用の高融点金属層およびこの高融点金属層上に配線用の金属層を順次形成する工程と、前記高融点金属層を部分的に露出するように配線用の金属層のみを部分的に除去する工程と、前記配線用の金属層および露出された高融点金属層を覆うように最終保護膜を形成する工程と、前記高融点金属層の一部を露出するように前記最終保護膜を部分的に除去する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 複数の回路素子が集積された半導体基板を覆う絶縁保護膜上にヒューズ素子用の高融点金属層、この高融点金属層上に配線用の金属層およびこの配線用の金属層上に第 2 の高融点金属層を順次形成する工程と、前記ヒューズ素子用の高融点金属層を部分的に露出するように第 2 の高融点金属層および配線用の金属層のみを部分的に除去する工程と、前記第 2 の高融点金属層および露出されたヒューズ素子用の高融点金属層を覆うように最終保護膜を形成する工程と、前記ヒューズ素子用の高融点金属層の一部を露出するように前記最終保護

2

膜を部分的に除去する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置およびその製造方法に関し、特に、半導体基板に集積された複数の回路素子のうち、不良の回路素子を良の回路素子に置き換えるヒューズ素子を備えた半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】例えばメモリ L S I、メモリを搭載した論理 L S I などて代表される最近の L S I（半導体集積回路装置）は、より多くの機能が要求されるにつれて、ますます高集積化が図られる傾向にある。このように高集積化が図られた L S I においては、製造時の歩留りの向上がコスト的に極めて重要になる。

【0003】このような観点から、半導体基板（半導体チップ）に集積する回路素子（セル）を予め必要以上に余分に形成しておき、製造工程の終了後に検査によって不良の回路素子が発見された場合には、この不良の回路素子を良の回路素子に置き換えることにより、不良の回路素子を救済するようにした技術、いわゆる冗長回路技術が開発されてきている。

【0004】この場合、不良の回路素子を良の回路素子に置き換えるには、予め半導体基板にヒューズ素子を組み込んでおいて、このヒューズ素子を溶断することが行われる。ヒューズ素子は適当な導電層を利用して構成し、絶縁保護膜で覆われたその導電層の一部を絶縁保護膜に開口部を形成して一部を露出することで、この露出された導電層の部分を外部から溶断することが行われる。

【0005】このような冗長回路技術に関しては、例えば（株）オーム社発行、「電子情報通信ハンドブック 第 1 分冊」、昭和 63 年 3 月 30 日発行、P 889、あるいは（株）近代科学社、「M O S 集積回路の基礎」、1992 年 5 月 30 日発行、P 65 に記載されている。これらの文献には、ヒューズ素子として多結晶（ポリ）シリコンを利用して、このヒューズ素子の溶断をレーザー光を照射して行うことが記載されている。この場合、一般には拡散層で形成されるポリシリコンを利用してヒューズ素子を構成することが行われる。

【0006】また、他の考えとして、L S I において配線材料として広く用いられているアルミニウムを、ヒューズ素子として利用することも試みられている。

【0007】さらに、その他の考えとして、C C B（Controlled Collapse Bonding）によるチップボンディングに用いられるチップでは、このために形成する B L M（Ball Limited Metallization）層を利用してヒューズ素子を構成することが行われている。

3

【0008】

【発明が解決しようとする課題】前記のようにポリシリコンを利用してヒューズ素子を構成したLSIにおいては、配線層数が多くなると最終保護膜からポリシリコンまでの深さが深くなるので、ヒューズ素子の溶断を行うための開口部の加工が困難になるという問題がある。

【0009】また、拡散層で形成されるポリシリコンを利用してヒューズ素子を構成した場合、この上層には配線層をレイアウトできないので、レイアウトに制約を受けるという問題がある。

【0010】さらに、CCB製品以外のワイヤボンディング(Wire Bonding)製品では、BLM層が存在していないので、BLM層でヒューズ素子を構成するためには、新たにBLM層を形成するための多くの工程を追加する必要があるという問題がある。

【0011】本発明の目的は、ヒューズ素子の溶断を行うための開口部の加工を容易にすることが可能な技術を提供することにある。

【0012】本発明の他の目的は、レイアウトに制約を与えないことが可能な技術を提供することにある。

【0013】本発明のその他の目的は、少ない工程の追加だけでヒューズ素子を構成することが可能な技術を提供することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0016】(1)本発明の半導体集積回路装置は、半導体基板に複数の回路素子が集積され、所定の回路素子間を接続する多層配線および不良の回路素子を良の回路素子に置き換えるヒューズ素子を備えた半導体集積回路装置であって、前記ヒューズ素子は、前記半導体基板を覆う絶縁保護膜上に形成された高融点金属層からなる。

【0017】(2)本発明の半導体集積回路装置は、半導体基板に複数の回路素子が集積され、所定の回路素子間を接続する多層配線および不良の回路素子を良の回路素子に置き換えるヒューズ素子を備えた半導体集積回路装置であって、前記半導体基板を覆う絶縁保護膜上に形成されたヒューズ素子用の高融点金属層と、この高融点金属層上に形成されて高融点金属層とともに積層配線を構成する配線用の金属層と、前記高融点金属層の一部を露出するように前記配線用の金属層の全面および高融点金属層の大部分を覆う最終保護膜とを備えている。

【0018】(3)本発明の半導体集積回路装置の製造方法は、複数の回路素子が集積された半導体基板を覆う絶縁保護膜上にヒューズ素子用の高融点金属層およびこの高融点金属層上に配線用の金属層を順次形成する工程

4

と、前記高融点金属層を部分的に露出するように配線用の金属層のみを部分的に除去する工程と、前記配線用の金属層および露出された高融点金属層を覆うように最終保護膜を形成する工程と、前記高融点金属層の一部を露出するように前記最終保護膜を部分的に除去する工程とを含んでいる。

【0019】(4)本発明の半導体集積回路装置の製造方法は、複数の回路素子が集積された半導体基板を覆う絶縁保護膜上にヒューズ素子用の高融点金属層、この高融点金属層上に配線用の金属層およびこの配線用の金属層上に第2の高融点金属層を順次形成する工程と、前記ヒューズ素子用の高融点金属層を部分的に露出するように第2の高融点金属層および配線用の金属層のみを部分的に除去する工程と、前記第2の高融点金属層および露出されたヒューズ素子用の高融点金属層を覆うように最終保護膜を形成する工程と、前記ヒューズ素子用の高融点金属層の一部を露出するように前記最終保護膜を部分的に除去する工程とを含んでいる。

【0020】

【作用】上述した(1)の手段によれば、本発明の半導体集積回路装置は、半導体基板に複数の回路素子が集積され、所定の回路素子間を接続する多層配線および不良の回路素子を良の回路素子に置き換えるヒューズ素子を備えた半導体集積回路装置であって、前記ヒューズ素子は、前記半導体基板を覆う絶縁保護膜上に形成された高融点金属層からなるので、ヒューズ素子の溶断を行うための開口部の加工を容易にすることが可能となり、また、レイアウトに制約を与えないことが可能となり、さらに、少ない工程の追加だけでヒューズ素子を構成することが可能となる。

【0021】上述した(2)の手段によれば、本発明の半導体集積回路装置は、半導体基板に複数の回路素子が集積され、所定の回路素子間を接続する多層配線および不良の回路素子を良の回路素子に置き換えるヒューズ素子を備えた半導体集積回路装置であって、前記半導体基板を覆う絶縁保護膜上に形成されたヒューズ素子用の高融点金属層と、この高融点金属層上に形成されて高融点金属層とともに積層配線を構成する配線用の金属層と、前記高融点金属層の一部を露出するように前記配線用の金属層の全面および高融点金属層の大部分を覆う最終保護膜とを備えているので、ヒューズ素子の溶断を行うための開口部の加工を容易にすることが可能となり、また、レイアウトに制約を与えないことが可能となり、さらに、少ない工程の追加だけでヒューズ素子を構成することが可能となる。

【0022】上述した(3)の手段によれば、本発明の半導体集積回路装置の製造方法は、複数の回路素子が集積された半導体基板を覆う絶縁保護膜上にヒューズ素子用の高融点金属層およびこの高融点金属層上に配線用の金属層を順次形成する工程と、前記高融点金属層を部分

的に露出するように配線用の金属層のみを部分的に除去する工程と、前記配線用の金属層および露出された高融点金属層を覆うように最終保護膜を形成する工程と、前記高融点金属層の一部を露出するように前記最終保護膜を部分的に除去する工程とを含んでいるので、ヒューズ素子の溶断を行うための開口部の加工を容易にすることが可能となり、また、レイアウトに制約を与えないことが可能となり、さらに、少ない工程の追加だけでヒューズ素子を構成することが可能となる。

【0023】上述した(4)の手段によれば、本発明の半導体集積回路装置の製造方法は、複数の回路素子が集積された半導体基板を覆う絶縁保護膜上にヒューズ素子用の高融点金属層、この高融点金属層上に配線用の金属層およびこの配線用の金属層上に第2の高融点金属層を順次形成する工程と、前記ヒューズ素子用の高融点金属層を部分的に露出するように第2の高融点金属層および配線用の金属層のみを部分的に除去する工程と、前記第2の高融点金属層および露出されたヒューズ素子用の高融点金属層を覆うように最終保護膜を形成する工程と、前記ヒューズ素子用の高融点金属層の一部を露出するように前記最終保護膜を部分的に除去する工程とを含んでいるので、ヒューズ素子の溶断を行うための開口部の加工を容易にすることが可能となり、また、レイアウトに制約を与えないことが可能となり、さらに、少ない工程の追加だけでヒューズ素子を構成することが可能となる。

【0024】以下、本発明について、図面を参照して実施例とともに詳細に説明する。

【0025】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0026】

【実施例】

(実施例1) 図1は本発明の実施例1による半導体集積回路装置(LSI)を示す平面図で、図2は図1のA-A断面図である。本実施例のLSIは、シリコン単結晶などからなる半導体基板1に複数の回路素子が集積されて、所定の回路素子間には多層配線によって接続され、多層配線の最上層配線は、ヒューズ素子として構成されるW、Tiなどからなる高融点金属層3と、この高融点金属層3上に形成されたAlなどからなる配線用の金属層4とともに積層配線7が構成されて、金属層4の全面および高融点金属層3の大部分は酸化膜(SiO₂)・ナイトライド膜(Si₃N₄)などからなる絶縁性の最終保護膜5によって覆われることにより、高融点金属層3の一部は開口部6を通じて露出されている。2は複数の回路素子が集積された半導体基板1を覆う絶縁保護膜である。

【0027】一例として、ヒューズ素子用の高融点金属層3は厚さ約150nmに形成され、金属層4は厚さ約

400nm~1μm程度に形成され、最終保護膜5は厚さ約1~2μmに形成されている。これら各金属層3、4および保護膜5は、周知のCVD(Chemical Vapor Deposition)技術、PVD(Physical Vapor Deposition)技術などによって、容易に形成することができる。

【0028】高融点金属層3の一部を露出する開口部6は幅約15~20μmに形成され、また各積層配線7は幅約1~2μmに形成される。これら開口部6、積層配線7は周知のフォトリソグラフィ技術によって、容易に形成することができる。ヒューズ素子用の高融点金属層3は、製造工程の終了後に検査によって不良の回路素子が発見された場合には、良の回路素子に置き換えるために開口部6を通じてレーザー光を照射して一部の露出面が溶断される。

【0029】次に、図3乃至図8を参照して本実施例の半導体集積回路装置の製造方法を工程順に説明する。

【0030】まず、図3に示すように、複数の回路素子が集積されて、所定の回路素子間には多層配線によって接続されるとともに、多層配線の最上層配線として、ヒューズ素子として構成される厚さ約150nmのW、Tiなどからなる高融点金属層3と、この高融点金属層3上に形成された厚さ約400nm~1μm程度のAlなどからなる配線用の金属層4とともに、幅約1~2μmにパターンニングされた積層配線7が構成されたシリコン単結晶などからなる半導体基板1を用意する。

【0031】次に、図4に示すように、金属層4上にフォトレジスト8を塗布しパターンニングして窓9を形成して、ヒューズ素子用の高融点金属層3と配線用の金属層4からなる積層配線7を部分的に露出する。図9は図4に対応した平面図を示し、図4は図9のA-A断面図である。

【0032】続いて、図5に示すように、フォトレジスト8をマスクとして窓9を通じてドライエッチングを行って、金属層4のみを部分的に除去して高融点金属層3の一部を露出する。

【0033】次に、図6に示すように、フォトレジスト8を除去した後、CVD法によって厚さ約1~2μmの酸化膜(SiO₂)・ナイトライド膜(Si₃N₄)などからなる最終保護膜5を形成して、金属層4及び開口部9を覆う。

【0034】続いて、図7に示すように、最終保護膜5上にパターンニングしたフォトレジスト10を形成した後、このフォトレジスト10をマスクとして窓11を通じてドライエッチングを行って、最終保護膜5を部分的に除去して幅約15~20μmの開口部6を形成して、高融点金属層3の一部を露出する。この工程時、金属層4の側面が露出しないように最終保護膜5を部分的に除去する。これは、配線として用いるAlなどからなる金属層4を化学的に安定に保持して、腐食などから防止す

るための配慮である。この工程は、ボンディングパッドの形成と同時に行うことができる。

【0035】次に、図8に示すように、フォトレジスト10を除去すれば、図1および図2に示した構造の半導体集積回路装置が得られる。

【0036】図10および図11は、ヒューズ素子を備えた本実施例の半導体集積回路装置の使用例を示すものである。13、14はNMOSトランジスタ、15はPMOSトランジスタ16とNMOSトランジスタ17の組み合わせから構成されたCMOSインバータ、19はリセット端子、20は出力端子である。

【0037】(1) ヒューズ素子用の高融点金属層3が熔断されないとき

図10に示すように、予め、NMOSトランジスタ13のゲート幅を小さく形成しておいてオン抵抗を高く設定しておけば、NMOSトランジスタ13のゲートにリセット端子19からH（ハイレベル）のリセット信号が加えられてこのトランジスタ13がオンする。しかし、電源V_{dd}からH信号がCMOSインバータ15に加えられて、NMOSトランジスタ17がオンするので、出力端子20からL（ロウレベル）信号が出力する。このL信号がゲートに加えられるため、NMOSトランジスタ14はオフとなる。その後、リセット信号がL信号に変わっても、状態は変化しないので、出力信号は常にL信号のままとなる。すなわち、リセット信号は初期に一度だけHになるだけで、出力はずっとLが維持される。

【0038】(2) ヒューズ素子用の高融点金属層3が熔断されたとき

図11に示すように、NMOSトランジスタ13のゲートにリセット端子19からH（ハイレベル）のリセット信号が加えられてこのトランジスタ13がオンする。しかし、ヒューズ素子用の高融点金属層3が熔断しているため、L信号がCMOSインバータ15に加えられて、PNMOSトランジスタ16がオンするので、出力端子20からH信号が出力する。このH信号がゲートに加えられるため、NMOSトランジスタ14はオンとなる。その後、リセット信号がL信号に変わっても、状態は変化しないので、出力信号は常にH信号のままとなる。すなわち、リセット信号は初期に一度だけHになるだけで、出力はずっとHが維持される。

【0039】このような実施例1によれば次のような効果が得られる。

【0040】(1) 多層配線の最上層配線として、ヒューズ素子として構成されるW、Tiなどからなる高融点金属層3と、この高融点金属層3上に形成されたA1などからなる配線用の金属層4とともに積層配線7を形成して、その最上層配線の高融点金属層3をヒューズ素子として構成するので、配線層数が増えても、ヒューズ素子の熔断を行うための開口部の加工が容易になる。

【0041】(2) 最上層配線の高融点金属層3をヒューズ素子として構成することにより、レイアウトに制約を与えない。

【0042】(3) 高融点金属層3の形成およびこの高融点金属層3のパターニングを行う工程を追加するだけで、他は周知の技術を利用できるので、少ない工程の追加だけでヒューズ素子を構成することができる。

【0043】(4) 特に、W、TiNのような高融点金属層3は、配線材料として広く用いられているアルミニウムに比較して耐食性に優れているため、それより薄く形成するだけで目的を達成できるので、熔断が容易になる。また、アルミニウムよりもマイグレーションにも強いので、断線防止が図れるため信頼度を向上することができる。

【0044】(実施例2) 図12は本発明の実施例2による半導体集積回路装置を示す断面図で、実施例1の構造において、金属層4上にW、Tiなどからなる第2の高融点金属層12を形成して、多層配線の最上層配線として、ヒューズ素子として構成されるW、Tiなどからなる高融点金属層3と、この高融点金属層3上に形成されたA1などからなる配線用の金属層4と、この金属層4上に形成されたW、Tiなどからなる第2の高融点金属層12とともに積層配線7を構成した例を示すものである。

【0045】このような実施例2の半導体集積回路装置は、実施例1の製造方法に準じて製造することができる。

【0046】すなわち、図13に示すように、複数の回路素子が集積されて、所定の回路素子間には多層配線によって接続されるとともに、多層配線の最上層配線として、ヒューズ素子として構成される厚さ約150nmのW、Tiなどからなる高融点金属層3と、この高融点金属層3上に形成された厚さ約400nm～1μm程度のA1などからなる配線用の金属層4と、この金属層4上に形成された厚さ約100nmのW、Tiなどからなる第2の高融点金属層3とともに、幅約1～2μmにパターニングされた積層配線7が構成されたシリコン単結晶などからなる半導体基板1を用意する。

【0047】次に、図14に示すように、金属層4上に塗布されたフォトレジスト8をマスクとして窓9を通じてドライエッチングを行って、同時に金属層4および第2の高融点金属層12を部分的に除去して高融点金属層3の一部を露出する。

【0048】続いて、図15に示すように、フォトレジスト8を除去した後、CVD法によって厚さ約1～2μmの酸化膜(SiO₂)・ナイトライド膜(Si₃N₄)などからなる最終保護膜5を形成して、金属層4及び開口部9を覆う。

【0049】次に、図16に示すように、最終保護膜5上にパターニングしたフォトレジスト10を形成した後、このフォトレジスト10をマスクとして窓11を適

じてドライエッチングを行って、最終保護膜 5 を部分的に除去して幅約 15 ~ 20 μm の開口部 6 を形成して、高融点金属層 3 の一部を露出する。この工程時、金属層 4 の側面が露出しないように最終保護膜 5 を部分的に除去する。これは、配線として用いる A1 などからなる金属層 4 を化学的に安定に保持して、腐食などから防止するための配慮である。この工程は、ボンディングパッドの形成と同時に行うことができる。

【0050】続いて、フォトレジスト 10 を除去することにより、図 12 に示した構造の半導体集積回路装置が得られる。

【0051】このような実施例 2 によっても、多層配線の最上層配線として、ヒューズ素子として構成される W、Ti などからなる高融点金属層 3 と、この高融点金属層 3 上に形成された A1 などからなる配線用の金属層 4 と、この金属層 4 上に形成された W、Ti などからなる第 2 の高融点金属層 3 とともに積層配線 7 を形成して、その最上層配線の高融点金属層 3 をヒューズ素子として構成するので、第 2 の高融点金属層 12 を形成した点が異なるだけなので、実施例 1 と同様な効果を得ることができる。

【0052】これに加えて、実施例 2 においては、積層配線 7 の最上層として W、Ti などからなる第 2 の高融点金属層 12 を形成したことにより、この高融点金属層 12 は反射防止の働きがあるので、この後フォトリソグラフィ工程を施す場合には、露光時に乱反射を抑えるように働くので、精度の高い加工が可能となる。このような構造は、特に BLM 層を形成する CCB 製品に適用して効果的となる。

【0053】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0054】例えば、前記実施例では高融点金属層は限られた例で説明したが、Ta、Mo、Cr などの他の材料を利用しても同様な効果を得ることが可能である。

【0055】また、ヒューズ素子用の高融点金属層を覆っている最終保護膜に開口部を形成して、その高融点金属層の一部を露出する際、完全に高融点金属層を露出しないで多少その表面に最終保護膜を残した状態にしておいても、ほぼ同様な効果を得ることができる。

【0056】さらに、ヒューズ素子用の高融点金属層上に形成する金属層は、配線を目的として使用されるものであれば、特定の導電材料には限らない。

【0057】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体集積回路装置の技術に適用した場合について説明したが、それに限定されるものではない。本発明は、基板に設けられた複数の回路素子のうち、不良の回路素子を良

の回路素子に置き換えるヒューズ素子を備えた電子部品であれば適用できる。

【0058】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0059】(1) 多層配線の最上層配線に形成される高融点金属層をヒューズ素子として構成するので、配線層数が増えても、ヒューズ素子の熔断を行うための開口部の加工が容易になる。

【0060】(2) 最上層配線の高融点金属層をヒューズ素子として構成することにより、レイアウトに制約を与えない。

【0061】(3) 少ない工程を追加するだけでヒューズ素子を構成することができる。

【図面の簡単な説明】

【図 1】本発明の実施例 1 による半導体集積回路装置を示す平面図である。

【図 2】図 1 の A-A 断面図である。

【図 3】本発明の実施例 1 による半導体集積回路装置の製造方法の一工程を示す断面図である。

【図 4】本発明の実施例 1 による半導体集積回路装置の製造方法の他の工程を示す断面図である。

【図 5】本発明の実施例 1 による半導体集積回路装置の製造方法のその他の工程を示す断面図である。

【図 6】本発明の実施例 1 による半導体集積回路装置の製造方法のその他の工程を示す断面図である。

【図 7】本発明の実施例 1 による半導体集積回路装置の製造方法のその他の工程を示す断面図である。

【図 8】本発明の実施例 1 による半導体集積回路装置の製造方法のその他の工程を示す断面図である。

【図 9】図 4 に対応する平面図である。

【図 10】本発明の実施例 1 による半導体集積回路装置の使用例を示す回路図である。

【図 11】本発明の実施例 1 による半導体集積回路装置の使用例を示す回路図である。

【図 12】本発明の実施例 2 による半導体集積回路装置を示す断面図である。

【図 13】本発明の実施例 2 による半導体集積回路装置の製造方法の一工程を示す断面図である。

【図 14】本発明の実施例 2 による半導体集積回路装置の製造方法の他の工程を示す断面図である。

【図 15】本発明の実施例 2 による半導体集積回路装置の製造方法のその他の工程を示す断面図である。

【図 16】本発明の実施例 2 による半導体集積回路装置の製造方法のその他の工程を示す断面図である。

【符号の説明】

1…半導体基板、3…ヒューズ素子用の高融点金属層、4…配線用の金属層、5…最終保護膜、6、9…開口部、7…積層配線、8、10…フォトレジスト、9、1

11

12

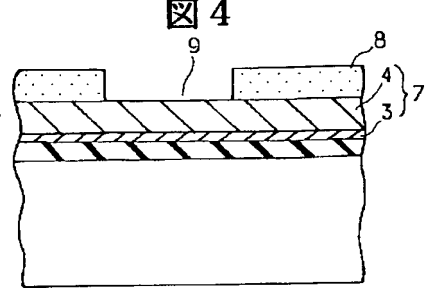
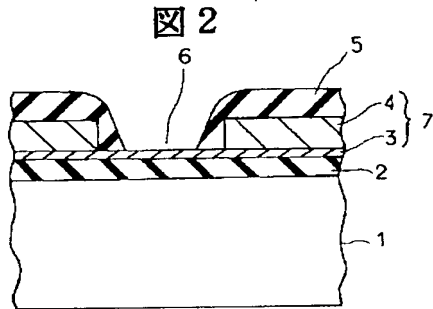
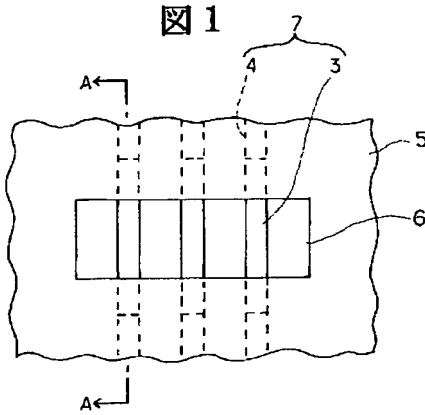
1…フォトリジストの窓、12…第2の高融点金属層、
13、14、17…NMOSトランジスタ、15…CM

OSインバータ、16…PMOSトランジスタ、19…
リセット端子、20…出力端子。

【図1】

【図2】

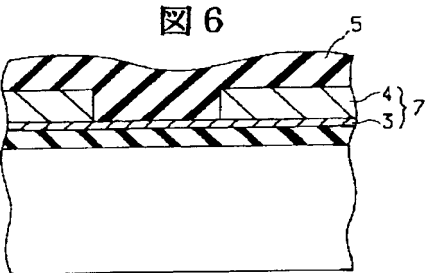
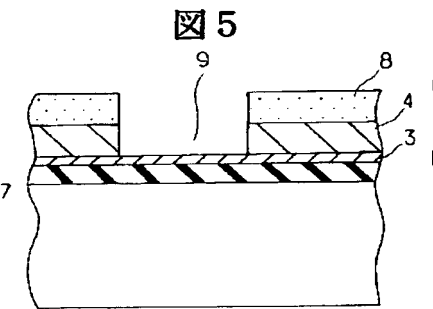
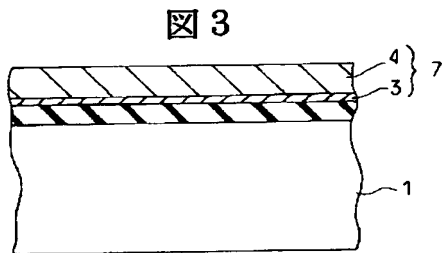
【図4】



【図5】

【図6】

【図3】



【図9】

【図7】

【図8】

